

Cognome e nome dello studente:

Matricola:

N. Pagine

1. [8] Specificare il contenuto di **tutti** i cammini della CPU (dati e controllo) riportata sul retro, quando è in esecuzione l'istruzione: 0x0000 0400 sw \$1, 24(\$0) sapendo che il codice operativo dell'istruzione sw è 43 [4]. Evidenziare i cammini che svolgono lavoro utile per l'esecuzione dell'istruzione [2]. Estendere questa CPU perché possa eseguire anche l'istruzione di bne [2].
2. [4] Scrivere un algoritmo della moltiplicazione binaria intera firmware a 4 bit per un'architettura dotata di due registri a 8 bit e 1 registro a 4 bit. Disegnare l'architettura associata.
3. [4] Costruire l'unità di controllo per l'architettura disegnata al punto [2]). **Evidenziare tutti i cammini e dimensionarli.**
4. [3] In quanti cicli di clock viene eseguita una moltiplicazione dal circuito disegnato sopra? Quale sarà il suo cammino critico? (considerare pari a $3*N$ il cammino critico di un sommatore a N bit).
5. [5] Descrivere come si possa modificare l'architettura disegnata in Figura 2 per potere eseguire anche la divisione intera. Mantenere l'impianto che prevede due registri a 8 bit e 1 registro a 4 bit. Definire quali segnali di controllo aggiuntivi sono richiesti. Scrivere l'algoritmo per la divisione intera per l'architettura disegnata per questo esercizio e calcolare i primi due passi della divisione binaria 9:4, visualizzando per ogni passo il valore del contenuto di tutti e 3 i registri.
6. [2] Scrivere l'algoritmo per la somma in virgola mobile per numeri decimali codificati in notazione normalizzata, IEEE 754 in singola precisione. Come si estende il circuito a numeri in doppia precisione?
7. [3] Disegnare il ciclo di esecuzione di un'istruzione su un'architettura MIPS a singolo ciclo. Quante fasi distinguono? Quando l'architettura capisce di che istruzione si tratta? Perché? Cosa si intende? I componenti appartenenti a quali fasi vengono configurati dall'unità di controllo? Perché? Come? Cos'è un'ISA? Possono due CPU avere la stessa ISA? Due CPU diverse devono avere una ISA necessariamente diversa? Perché?
8. [1] Descrivere come viene suddivisa in modo logico per convenzione una memoria principale dai processori MIPS e quali sono le ragioni per la scelta dei confini dei diversi segmenti.
9. [3] Scrivere l'istruzione assembler e in linguaggio macchina che effettua il salto incondizionato (jump) all'indirizzo: 0x0000 8000. Si supponga che l'istruzione corrente si trovi all'indirizzo 0x0001 0024, Il codice operativo dell'istruzione jump è 2. E' possibile utilizzare un'istruzione di branch per saltare allo stesso indirizzo? Perché? Scrivere l'istruzione assembler di "branch-on-equal" che effettua il salto condizionato all'indirizzo 0x00010020, e tradurla in linguaggio macchina, sapendo che il codice operativo dell'istruzione "branch-on-equal" è 4. Si scelgano due registri a piacere.
10. [1] La ALU viene pilotata da un'unità di controllo secondaria. Cosa riceve in ingresso? Cosa fornisce in uscita?
11. [1] Tradurre in linguaggio assembler l'istruzione ad alto livello: if (a > b) then CODICE;

